

Digital-Technik

Grundlagen und Anwendungen

Teil IV



Übersicht 10 - 11

10 Zeitabhängige binäre Schaltungen

10.1 Bistabile Kippstufen (Flipflops)

10.2 Zeitablaufdiagramme

10.3 Monostabile Kippstufen

10.4 Verzögerungsglieder

11 Anwendungsschaltungen

11.1 Zähler

11.2 Register

10 Zeitabhängige binäre Schaltungen

10 Zeitabhängige binäre Schaltungen

10.1 Bistabile Kippstufen (Flipflops)

10.2 Zeitablaufdiagramme

10.3 Monostabile Kippstufen

10.4 Verzögerungsglieder

10.1 Flipflops (i)

- **Flipflops sind bistabile Kippglieder, die eine Speicherwirkung besitzen.**
- **Sie werden überwiegend als integrierte Schaltungen hergestellt.**
- **Man unterscheidet Flipflops mit:**
 - **statischen Eingängen (taktzustandsgesteuert)**
 - **dynamischen Eingängen (taktflankengesteuert)**

10.1 Flipflops (ii)

■ Darstellung von Flipflops mit statischen Eingängen nach DIN 40900 bzw. 40700.

■ neuere Form

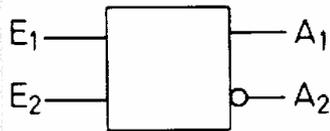


Bild 7.1 Schaltzeichen eines einfachen Flipflops

■ vordefinierter
Ausgangszustand
nach dem Einschalten

ältere Form

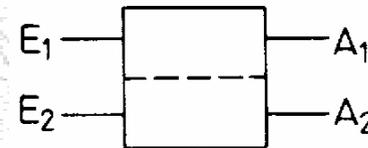


Bild 7.2a Schaltzeichen eines einfachen Flipflops mit Mittellinie

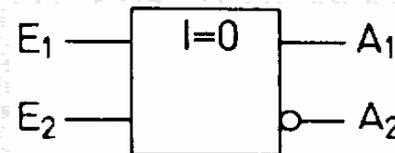


Bild 7.4 Schaltzeichen eines Flipflops mit festgelegter Grundstellung

10.1 Flipflops (iii)

■ Darstellung von Flipflops mit dynamischen Eingängen

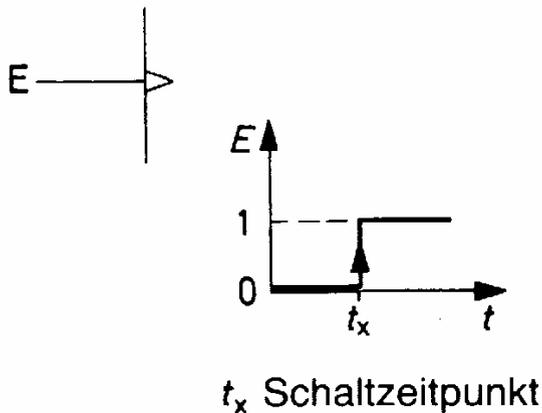


Bild 7.7 Darstellung eines dynamischen Eingangs für die ansteigende Flanke (0 → 1)

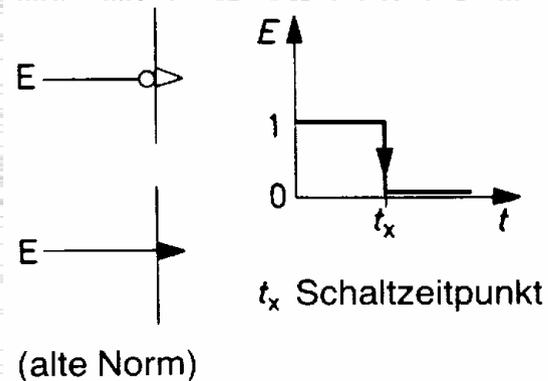


Bild 7.8 Darstellung eines dynamischen Eingangs für die abfallende Flanke (1 → 0)

10.1 Flipflops (I V)

- **Gegenüberstellung statischer- und dynamischer Eingänge**

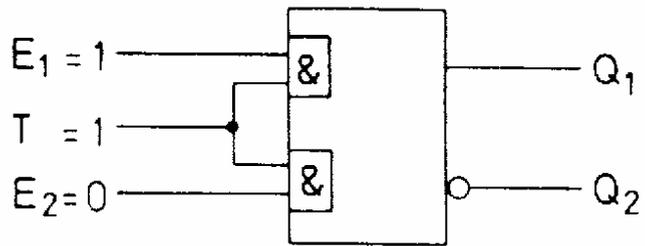


Bild 7.14 Taktzustandsgesteuertes Flipflop

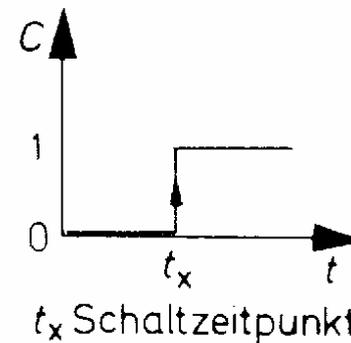
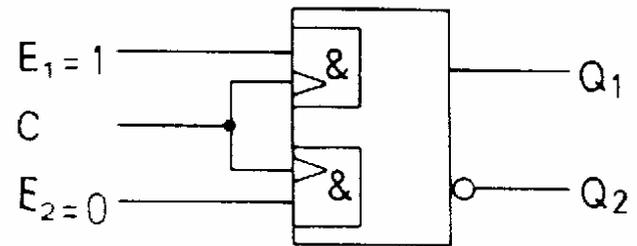
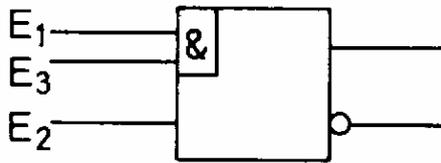


Bild 7.15 Taktflankengesteuertes Flipflop (0 → 1)

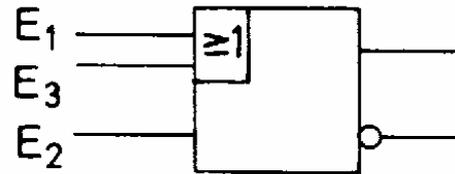
10.1 Flipflops (V)

- Flipflops können mehrere Eingänge haben, die miteinander verknüpft sind.



$$E_1 \wedge E_3$$

Bild 7.9 Schaltzeichen eines Flipflops, dessen Eingänge E_1 und E_3 durch UND verknüpft sind



$$E_1 \vee E_3$$

Bild 7.10 Schaltzeichen eines Flipflops, dessen Eingänge E_1 und E_3 durch ODER verknüpft sind

10.1 Flipflops (VI)

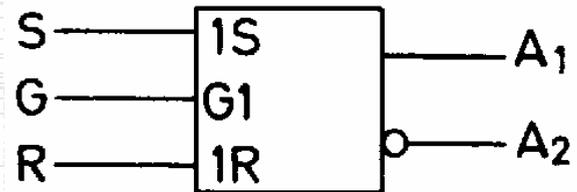
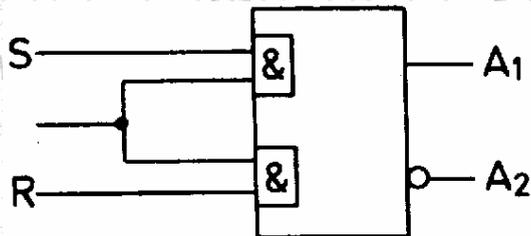
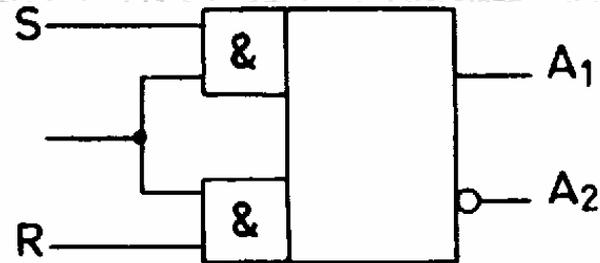
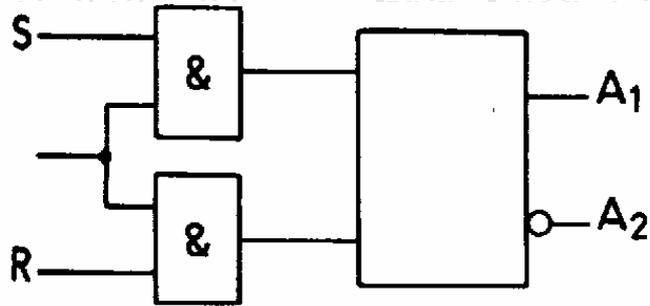
- Für die Verknüpfung der Eingänge gilt folgende Abhängigkeits-Notation.

G ⇒ UND-Abhängigkeit
V ⇒ ODER-Abhängigkeit
C ⇒ Steuer-Abhängigkeit
S ⇒ Setz-Abhängigkeit
R ⇒ Rücksetz-Abhängigkeit

- Bei steuernden Eingängen steht die Kennzahl nach dem Buchstaben.
- Bei gesteuerten Eingängen steht die Kennzahl vor dem Buchstaben.

10.1 Flipflops (VII)

- Die Verknüpfung der Eingänge kann unterschiedlich dargestellt werden.



10.1 Flipflops (VIII)

- Durch die sog. Dominierenden Eingänge wird eine bestimmte Bevorzugung (Priorität) ausgedrückt.

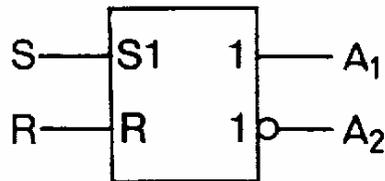


Bild 7.13a Flipflop mit dominierendem S-Eingang

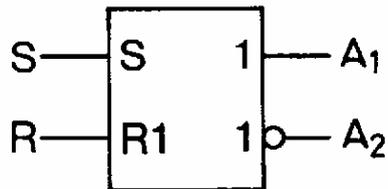
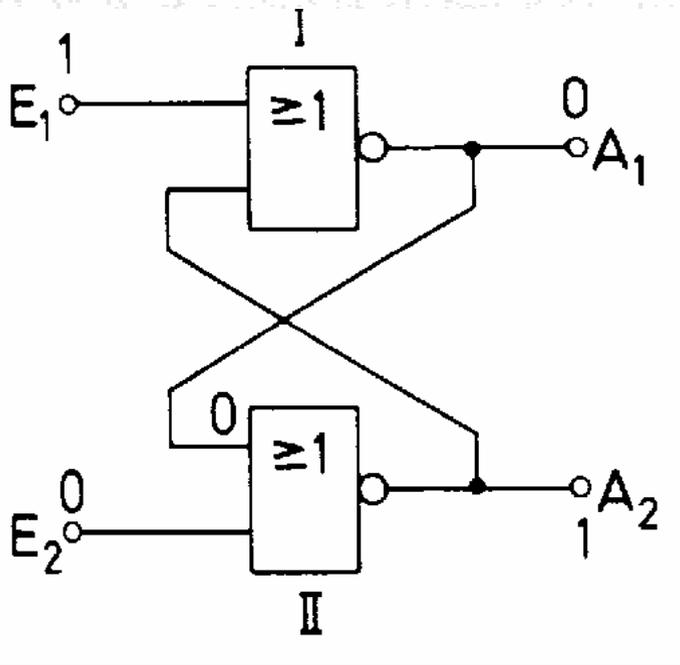


Bild 7.13b Flipflop mit dominierendem R-Eingang

10.1 Flipflops (I X)

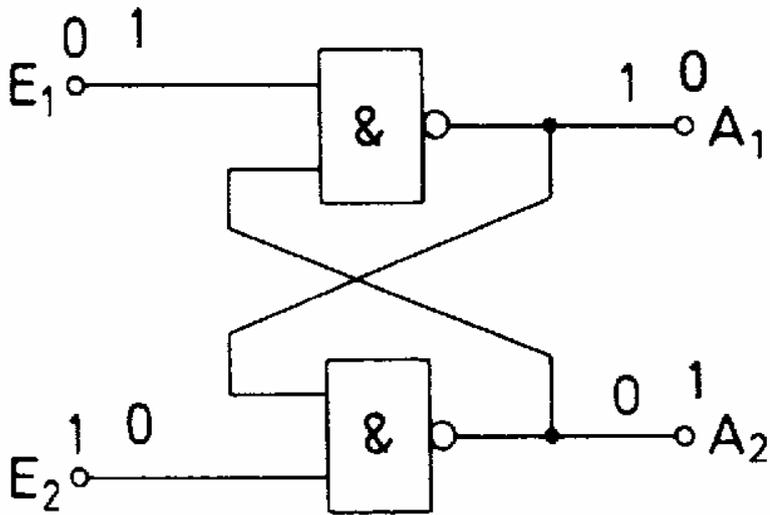
- Ein nicht-taktgesteuertes NOR-Flipflop (NOR-Latch) kann aus zwei NOR-Gliedern aufgebaut werden.



Fall	E_2	E_1	A_1	A_2	
1	0	0	X	X	Speicherfall
2	0	1	0	1	
3	1	0	1	0	
4	1	1	0	0	irregulär

10.1 Flipflops (X)

- Ein nicht-taktgesteuertes NAND-Flipflop (NAND-Latch) kann aus zwei NAND-Gliedern aufgebaut werden.



Fall	E ₂	E ₁	A ₁	A ₂	
1	0	0	1	1	irregulär
2	0	1	0	1	Rücksetzen
3	1	0	1	0	Setzen
4	1	1	X	X	Speichern

10.1 Flipflops (XI)

- Durch spezielle Beschaltung der NAND-Latch-Eingänge erhält man das SR-Speicher-Flipflop.

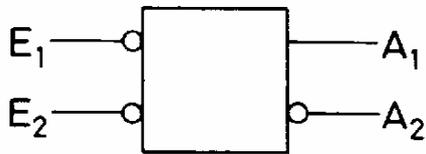


Bild 7.26 Schaltzeichen des Flipflops aus zwei NAND-Gliedern

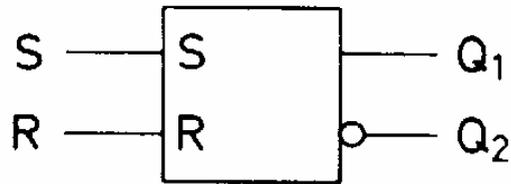
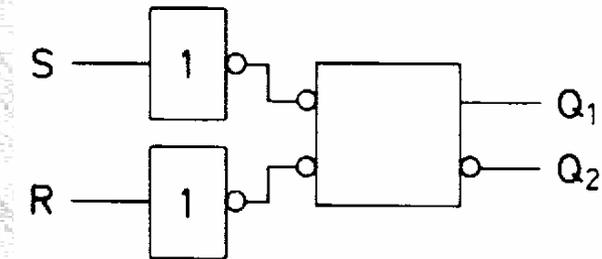


Bild 7.27 SR-Speicherflipflop

Fall	R	S	Q _{1m}	Q _{2m}	
1	0	0	Q _{1(m-1)}	Q _{2(m-1)}	Speichern
2	0	1	1	0	Setzen
3	1	0	0	1	Rücksetzen
4	1	1	1	1	verbotener Fall

10.1 Flipflops (XII)

- Durch Vorschalten zweier UND-Glieder entsteht ein taktzustandsgesteuertes SR-Flipflop.

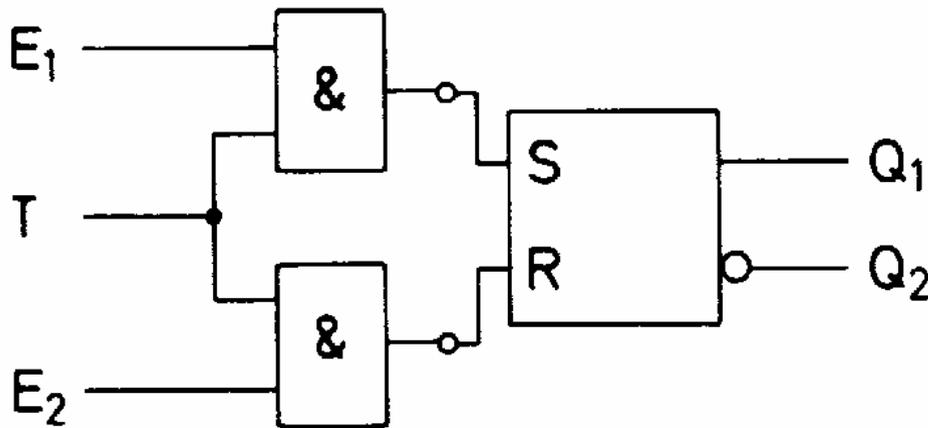
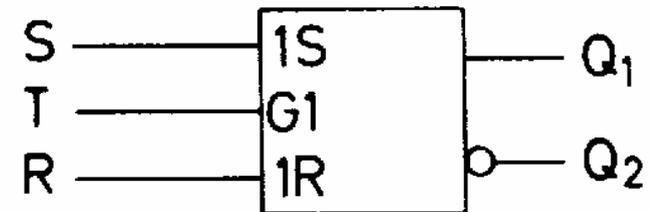
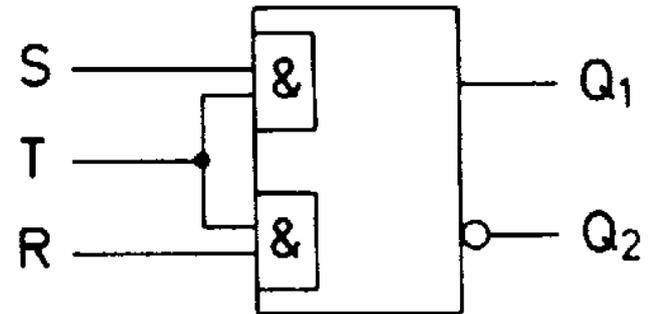


Bild 7.29 Taktzustandsgesteuertes SR-Flipflop



10.1 Flipflops (XIII)

- Für ein taktzustandsgesteuertes SR-Flipflop wird die Wahrheitstabelle in den Zeitpunkt t_n (vor dem Taktimpuls) und den Zeitpunkt t_{n+1} (nach dem Taktimpuls) unterteilt.

Fall	t_n			t_{n+1}	
	R	S	Q_{1n}	Q_1	
1	0	0	0	0	Speicherfälle
2	0	0	1	1	
3	0	1	0	1	Setzfälle
4	0	1	1	1	
5	1	0	0	0	Rücksetzfälle
6	1	0	1	0	
7	1	1	0	=	verbotene Fälle
8	1	1	1	=	

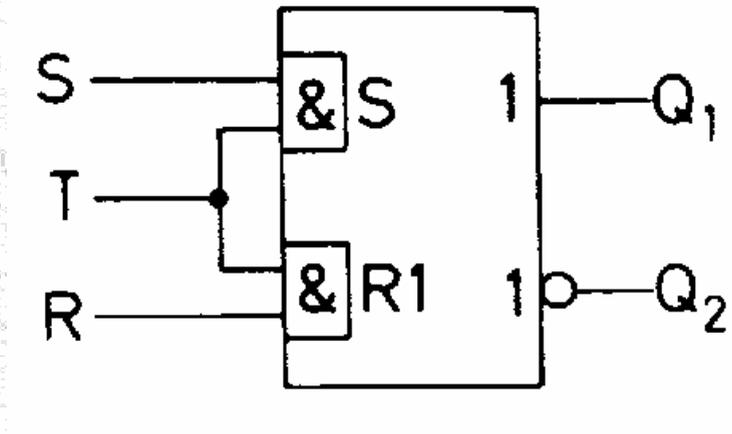
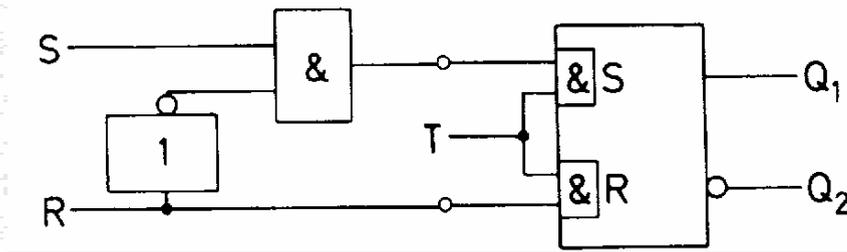
Bild 7.34 Ausführliche Wahrheitstabelle eines taktzustandsgesteuerten SR-Flipflops

Fall	t_n		t_{n+1}
	R	S	Q_1
1	0	0	Q_{1n}
2	0	1	1
3	1	0	0
4	1	1	=

Bild 7.33 Übliche Wahrheitstabelle eines taktzustandsgesteuerten SR-Flipflops

10.1 Flipflops (XI V)

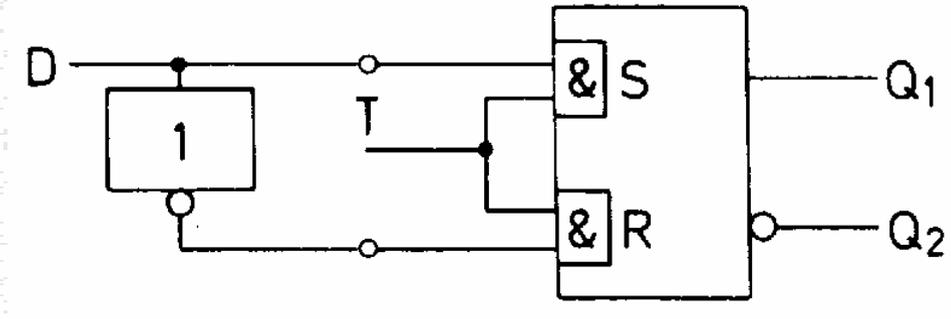
- Um den verbotenen Fall $R=1$ und $S=1$ zu umgehen, ist eine besondere Eingangsbeschaltung nötig. (dominierender R-Eingang).



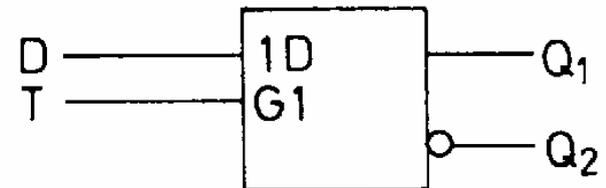
Fall	t_n		t_{n+1}
	R	S	Q_1
1	0	0	Q_{1n}
2	0	1	1
3	1	0	0
4	1	1	0

10.1 Flipflops (XV)

- Das D-Flipflop (Delay-Flipflop) dient dazu, das Eingangssignal solange zu verzögern, bis das Taktsignal anliegt.



	t_n	t_{n+1}
Fall	D	Q_1
1	0	0
2	1	1



10.1 Flipflops (XVI)

- Mit Taktflankensteuerung werden Flipflops synchron geschaltet und die Störsicherheit wird größer.

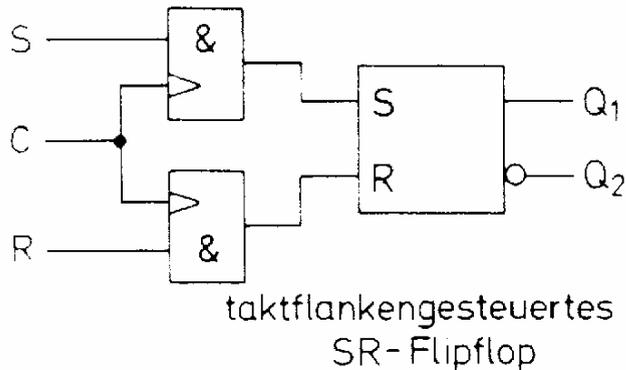


Bild 7.51 Entstehung eines taktflankengesteuerten SR-Flipflops

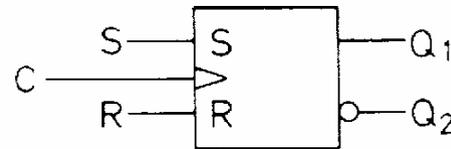


Bild 7.52 Schaltzeichen eines taktflankengesteuerten SR-Flipflops, das bei ansteigender Taktflanke schaltet

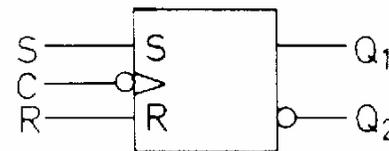
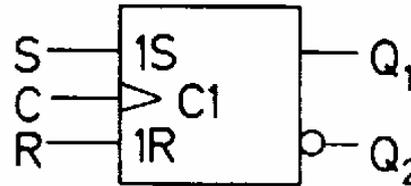
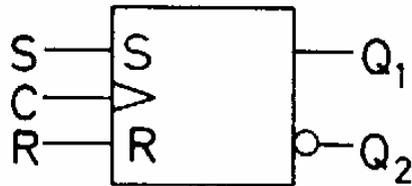


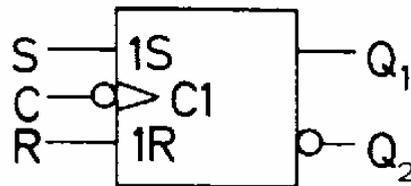
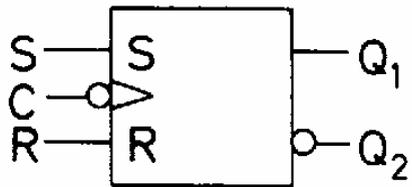
Bild 7.53 Aufbau und Schaltzeichen eines taktflankengesteuerten SR-Flipflops, das mit abfallender Flanke schaltet

10.1 Flipflops (XVI I)

- Für taktflankengesteuerte SR-Flipflops gilt die gleiche Wahrheitstabelle wie für zustandsgesteuerte.



Fall	t_n		t_{n+1}
	R	S	Q_1
1	0	0	Q_{1n}
2	0	1	1
3	1	0	0
4	1	1	

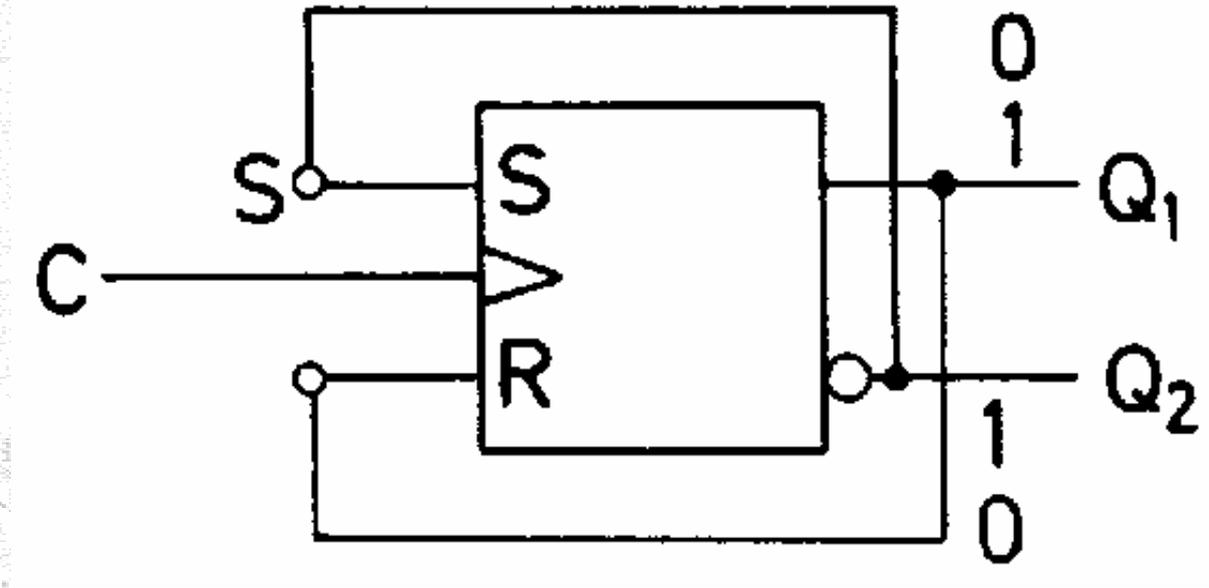


Darstellung ohne
Abhängigkeitsnotation

Darstellung mit
Abhängigkeitsnotation

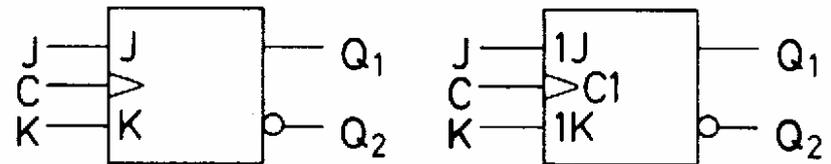
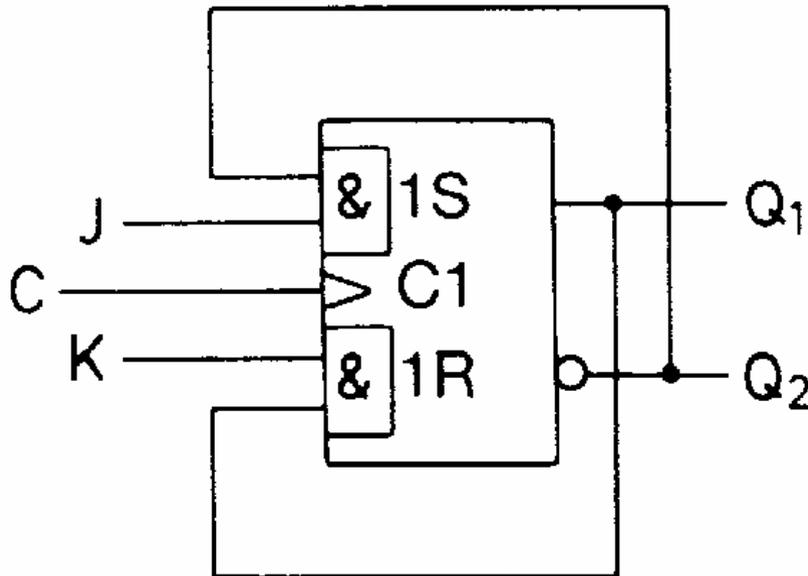
10.1 Flipflops (XVI II)

- Das T-Flipflop (Trigger- oder Toggle-Flipflop) kippt bei jeder steuernden Taktflanke in einen anderen Zustand.



10.1 Flipflops (XI X)

- Das JK-Flipflop gilt als Universal-Flipflop, da es die Vorteile der anderen SR-Flipflops vereint. (Speichern und im verbotenen Fall „togglen“ bzw. kippen).



Fall	t_n		t_{n+1}
	K	J	Q_1
1	0	0	Q_{1n}
2	0	1	\bar{Q}_{1n}
3	1	0	Q_{1n}
4	1	1	\bar{Q}_{1n}

10.1 Flipflops (XX)

- Taktflankengesteuerte D-Flipflops arbeiten genau wie taktzustandsgesteuerte. Hier kann die Steuerung allerdings über die ansteigende- oder die abfallende Flanke funktionieren.

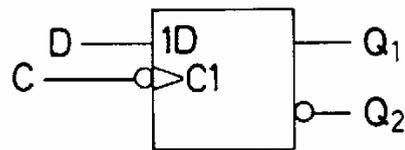
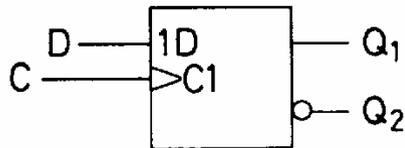


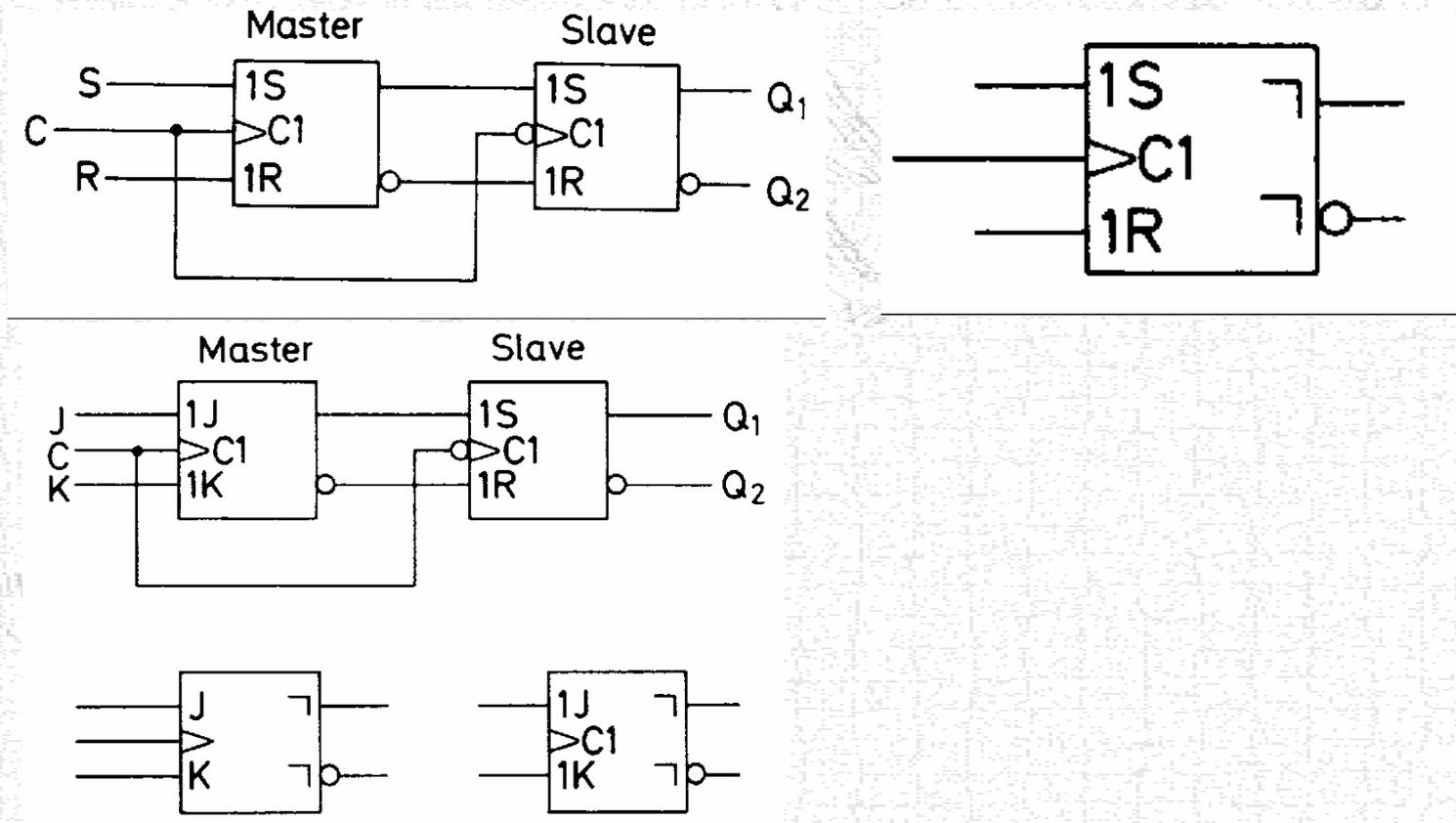
Bild 7.70 Schaltzeichen von einflankengesteuerten D-Flipflops

	t_n	t_{n+1}
Fall	D	Q_1
1	0	0
2	1	1

Bild 7.71 Wahrheitstabelle eines einflankengesteuerten D-Flipflops

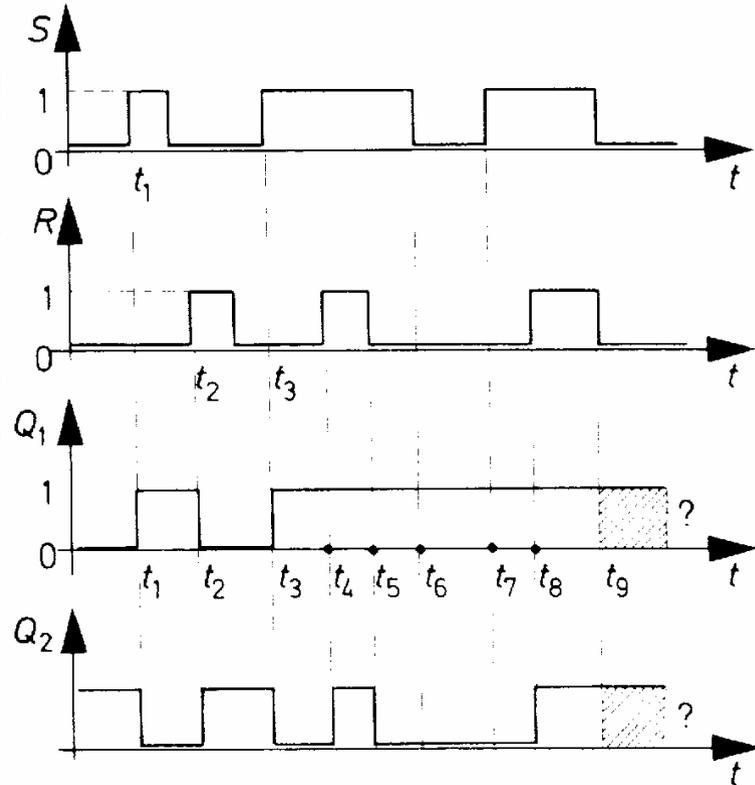
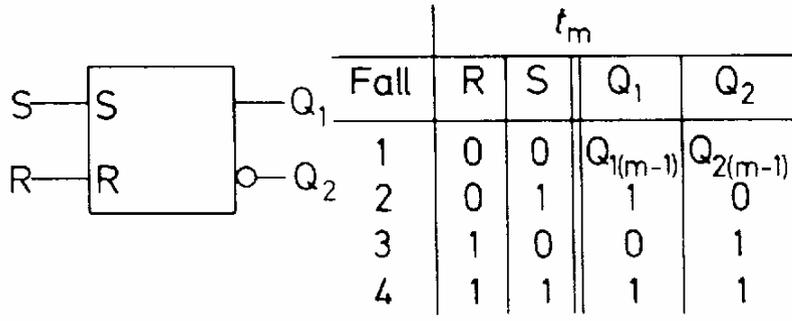
10.1 Flipflops (XXI)

- **Aufbau und Schaltzeichen von zweiflankengesteuerten SR-Master-Slave und JK-Master-Slave-Flipflops.**



10.2 Zeitablaufdiagramme (i)

■ Zeitablaufdiagramm eines SR-Flipflops.



10.2 Zeitablaufdiagramme (ii)

■ Zustandsgesteuertes SR-Flipflop mit dom. R-Eingang.

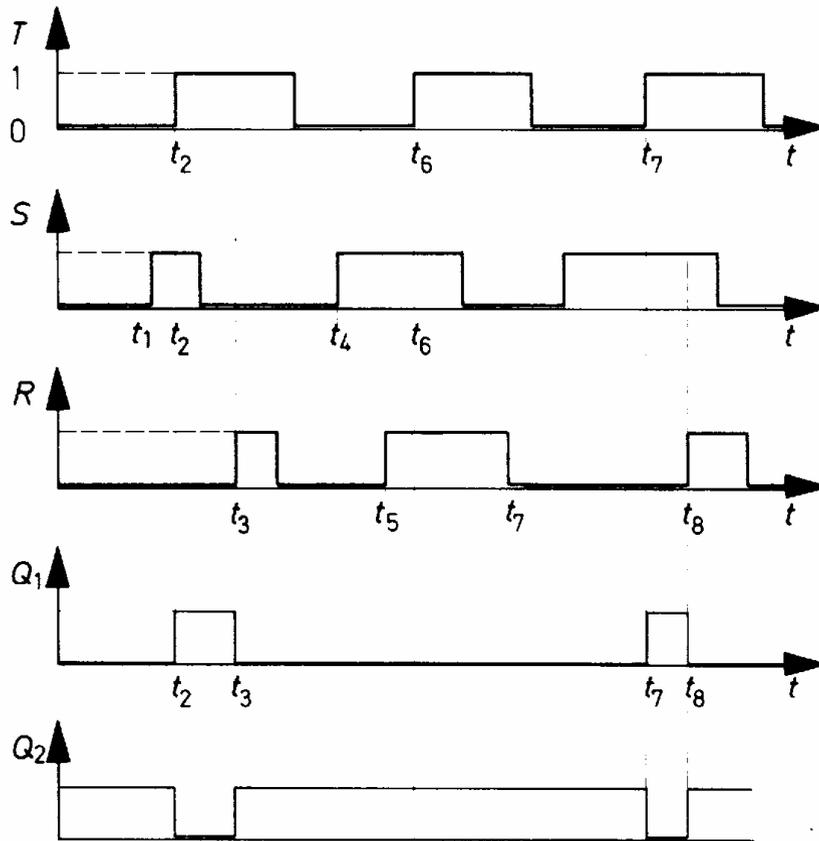
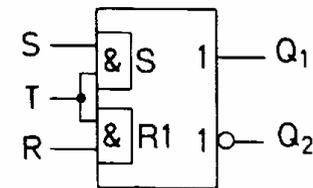


Bild 7.89 Taktzustandsgesteuertes SR-Flipflop mit dominierendem R-Eingang, Wahrheitstabelle und Zeitablauf-Diagramm



Fall	t_n		t_{n+1}	
	R	S	Q_1	Q_2
1	0	0	Q_{1n}	Q_{2n}
2	0	1	1	0
3	1	0	0	1
4	1	1	0	1

10.2 Zeitablaufdiagramme (iii)

■ Taktflankengesteuertes SR-Flipflop mit dom. R-Eingang.

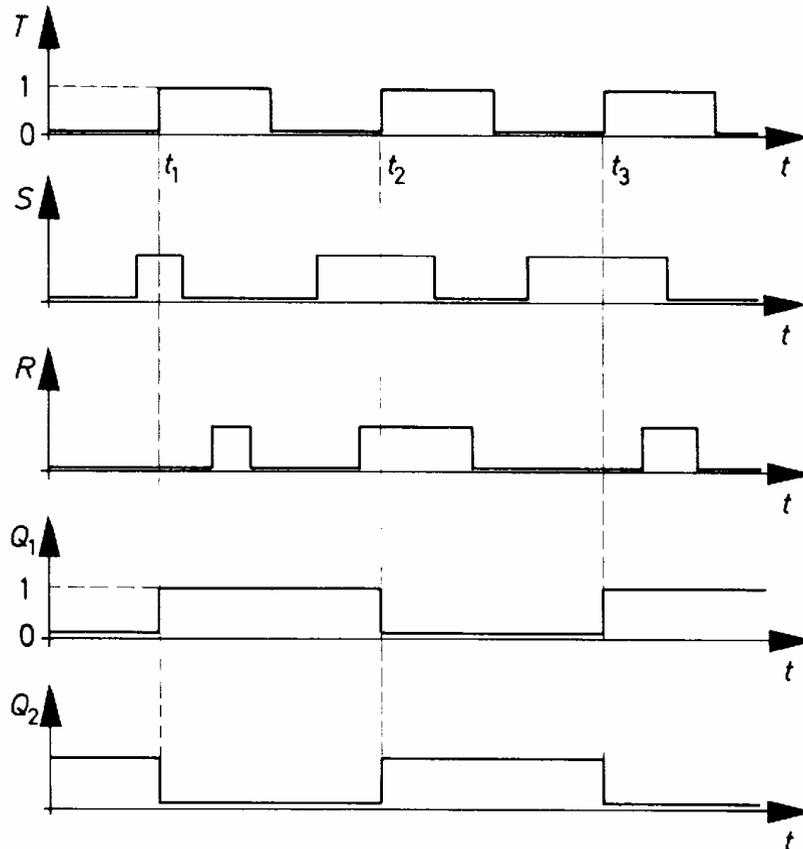
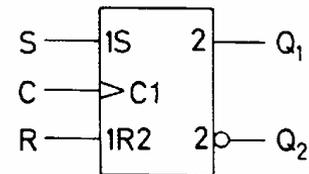


Bild 7.90 Einflankengesteuertes SR-Flipflop (ansteigende Taktflanke mit dominierendem R-Eingang, Wahrheitstabelle und Zeitablauf-Diagramm)

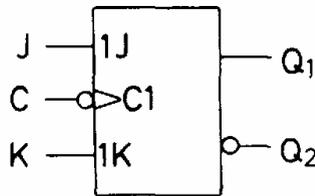


Fall	t_n		t_{n+1}	
	R	S	Q_1	Q_2
1	0	0	Q_{1n}	Q_{2n}
2	0	1	1	0
3	1	0	0	1
4	1	1	0	1

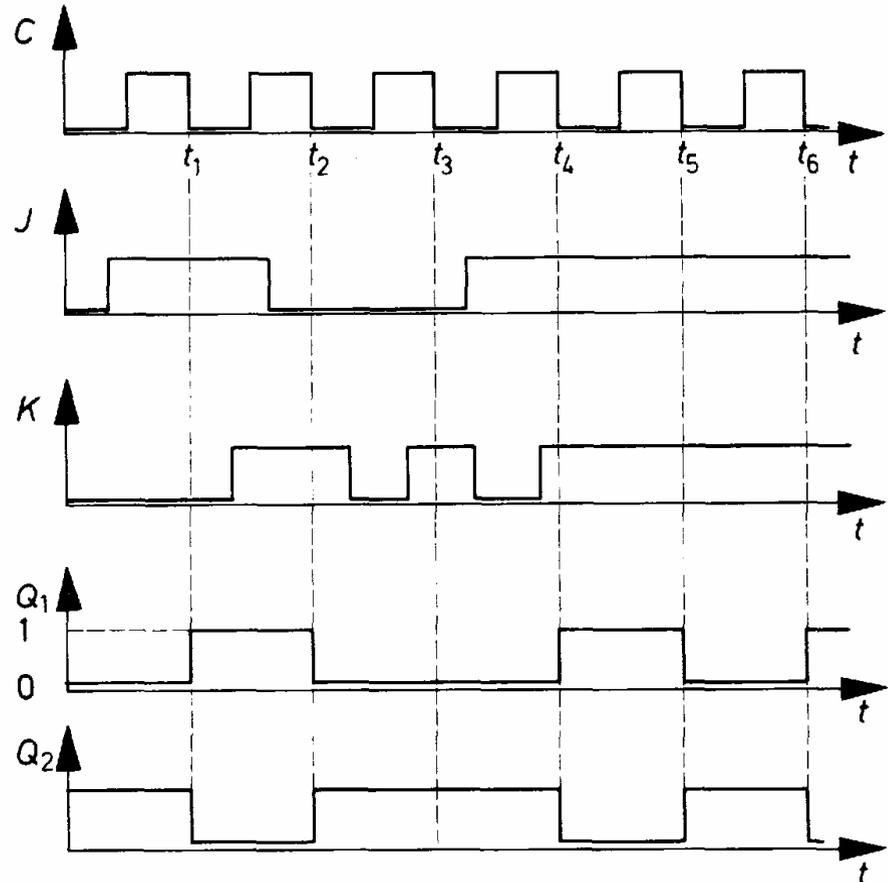
10.2 Zeitablaufdiagramme (iv)

Einflankengesteuertes JK-Flipflop.

Bild 7.91 Einflankengesteuertes JK-Flipflop (abfallende Taktflanke) mit Wahrheitstabelle und Zeitablauf-Diagramm



Fall	t_n		t_{n+1}	
	K	J	Q_1	Q_2
1	0	0	Q_{1n}	Q_{2n}
2	0	1	1	0
3	1	0	0	1
4	1	1	\overline{Q}_{1n}	\overline{Q}_{2n}



10.2 Zeitablaufdiagramme (v)

■ Zweiflankengesteuertes JK-Master-Slave-Flipflop.

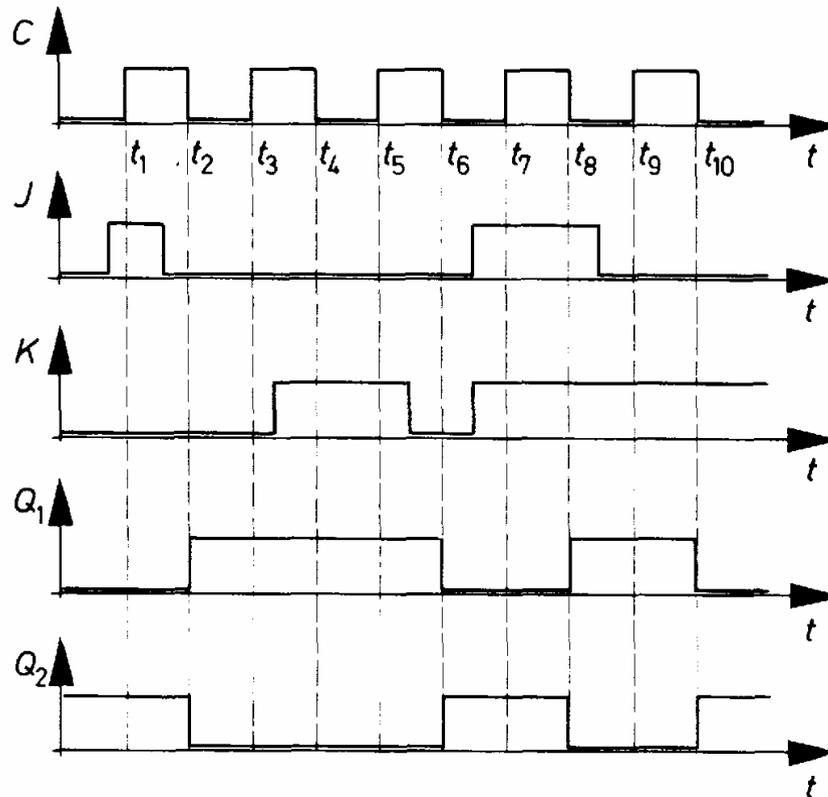
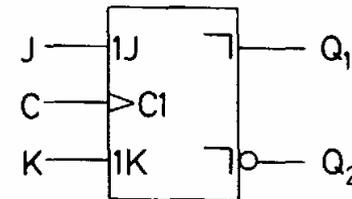


Bild 7.92 Zweiflankengesteuertes JK-Flipflop (Master-Slave-Flipflop) mit Wahrheitstabelle und Zeitablauf-Diagramm



Fall	t_n		t_{n+1}	
	K	J	Q_1	Q_2
1	0	0	Q_{1n}	Q_{2n}
2	0	1	1	0
3	1	0	0	1
4	1	1	\overline{Q}_{1n}	\overline{Q}_{2n}

10.3 Monostabile Kippstufe (i)

- **Im stabilen Zustand führt der Hauptausgang Q einer monostabilen Kippstufe 0-Signal.**
- **Im nichtstabilen Zustand führt der Hauptausgang Q einer monostabilen Kippstufe 1-Signal.**

10.3 Monostabile Kippstufe (ii)

■ Monostabilen Kippstufe.

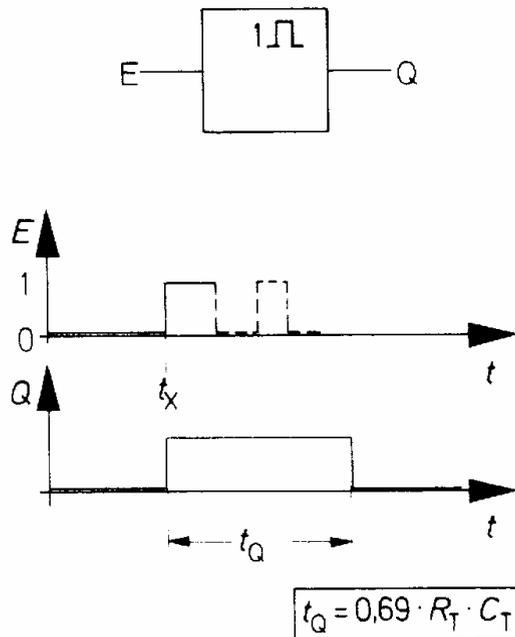


Bild 7.105 Schaltzeichen und Impulsdia-
gramm einer monostabilen Kippstufe (Zu-
standssteuerung)

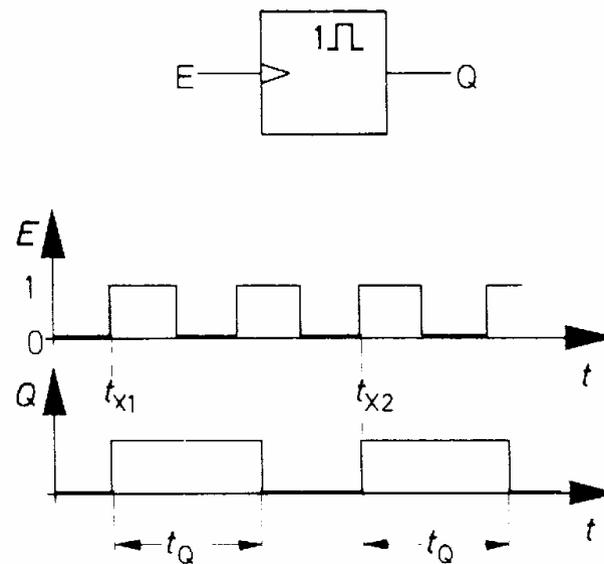
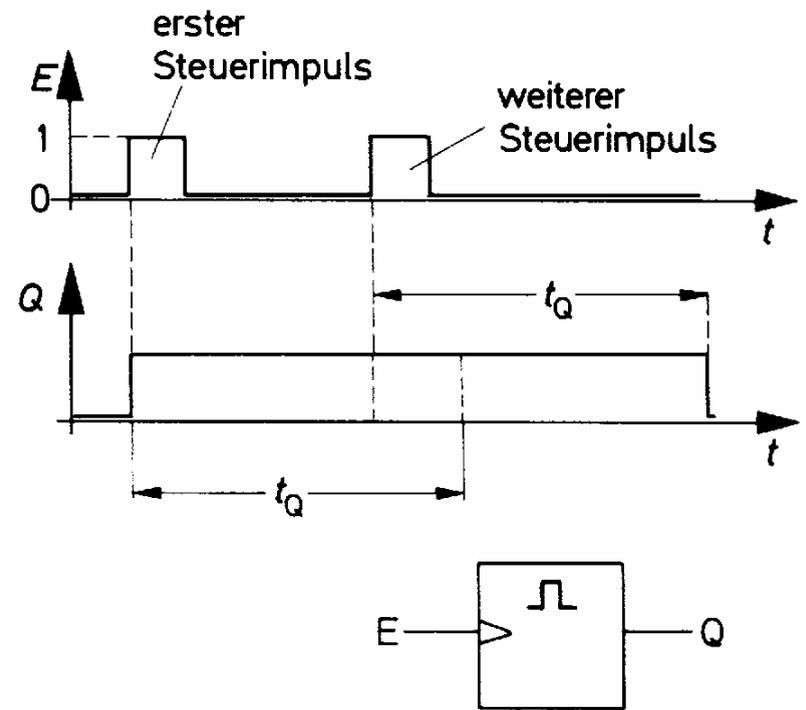
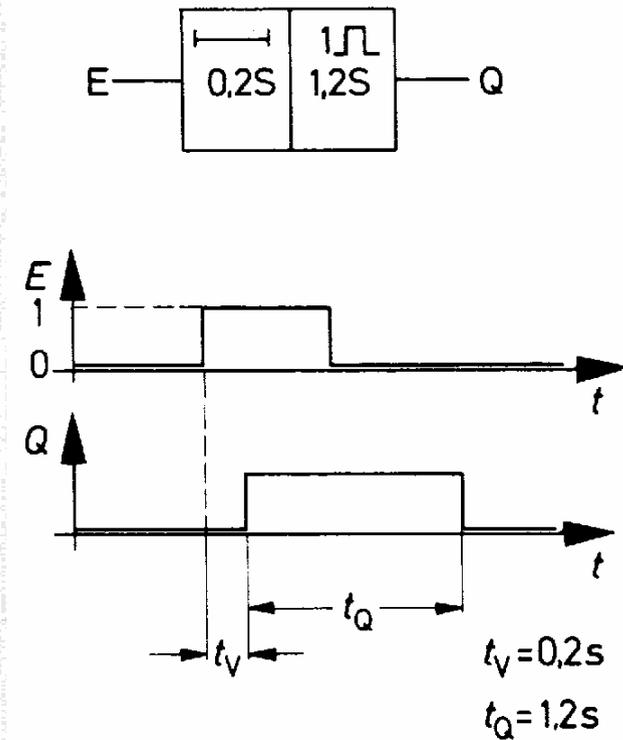


Bild 7.106 Schaltzeichen und Zeitablauf-
Diagramm einer flankengesteuerten mono-
stabilen Kippstufe (Steuerung mit anstei-
gender Flanke)

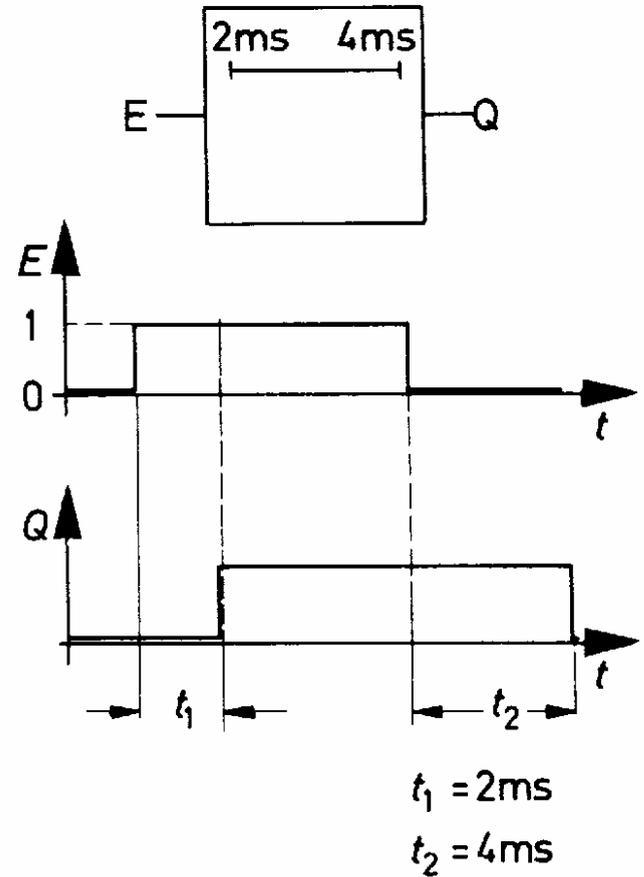
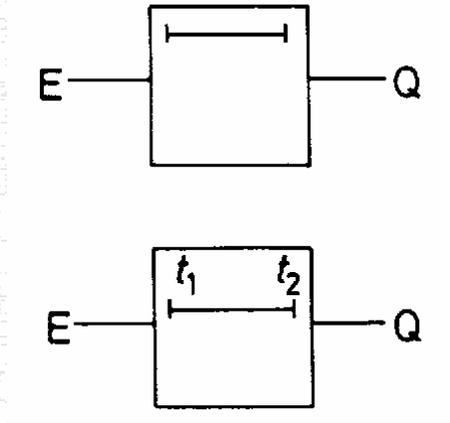
10.3 Monostabile Kippstufe (iii)

- Monost. Kippstufe 1. mit Verzögerung und 2. nachtriggerbar.



10.4 Verzögerungsglieder (i)

- Schaltzeichen und Zeitablaufdiagramm von Verzögerungsgliedern.



10.4 Verzögerungsglieder (ii)

- Einschalt- und Ausschaltverzögerung mit Zeitablaufdiagramm.

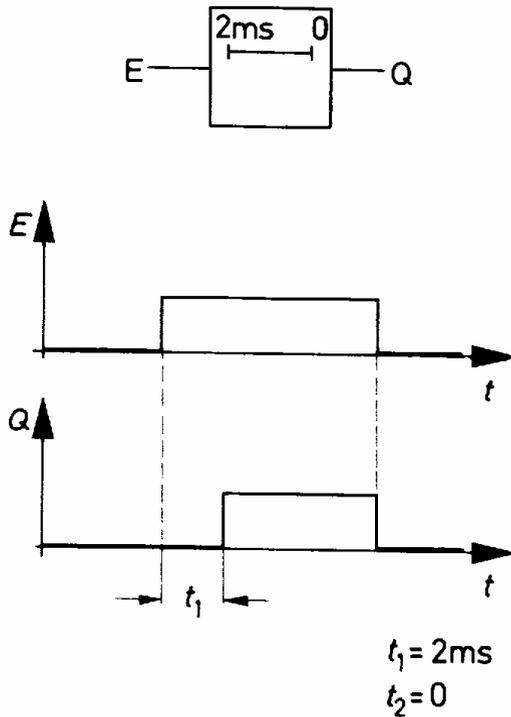


Bild 7.117 Einschalt-Verzögerungsglied mit Zeitablaufdiagramm

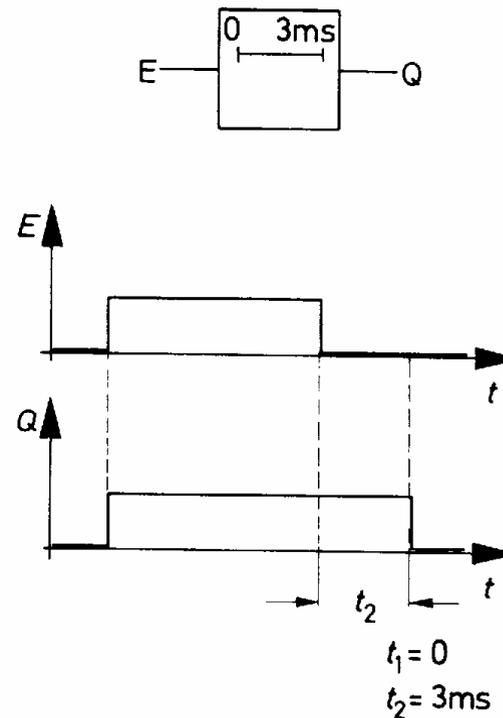
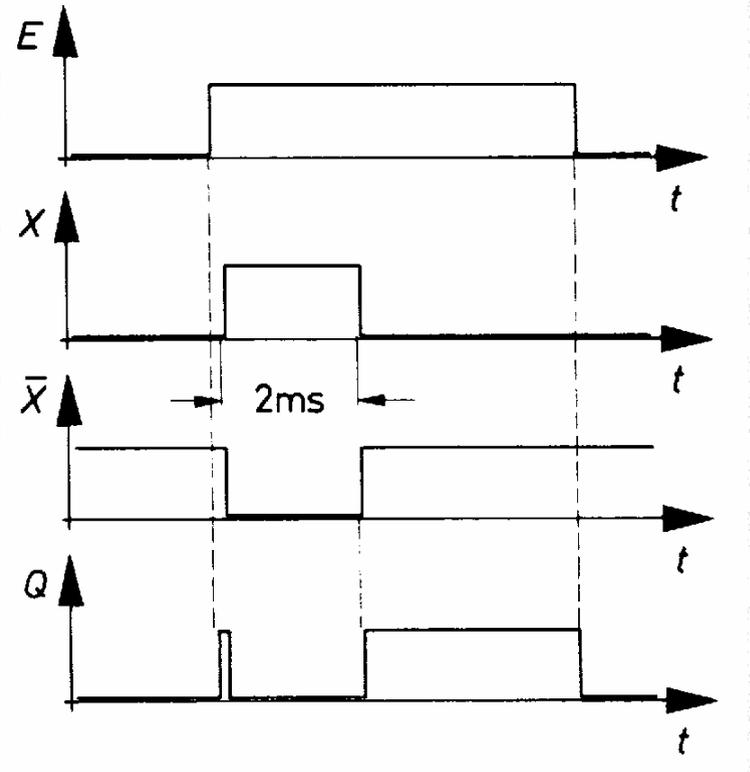
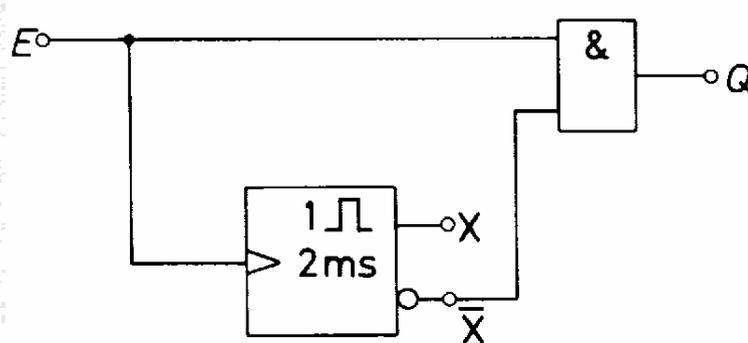


Bild 7.118 Ausschalt-Verzögerungsglied mit Zeitablaufdiagramm

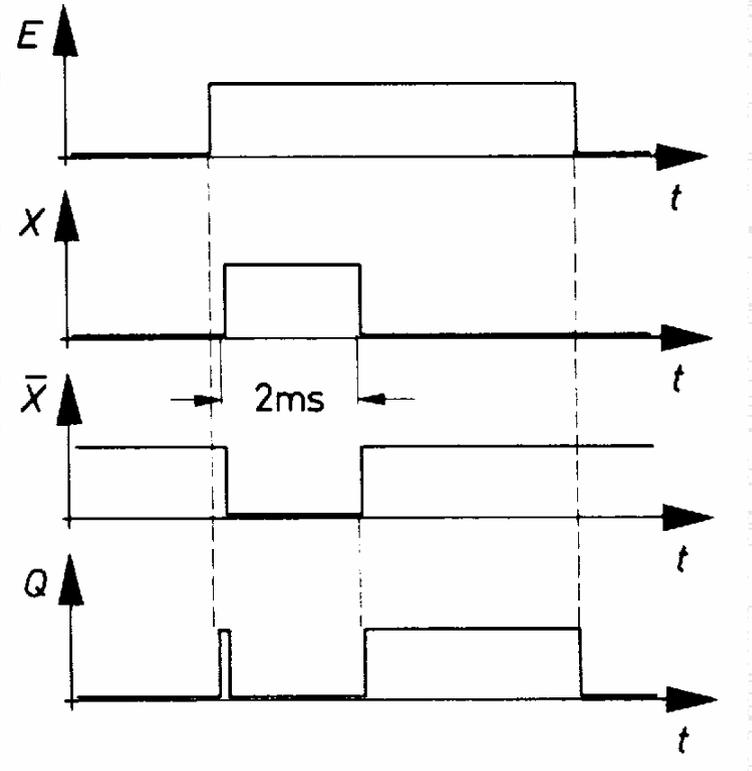
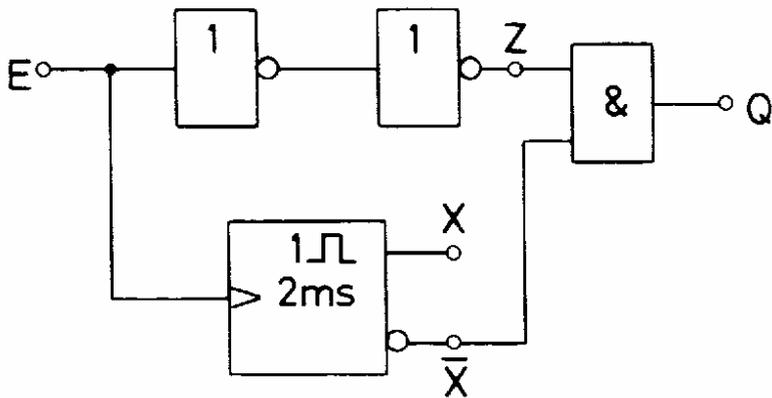
10.4 Verzögerungsglieder (iii)

- Aufbau eines Einschaltverzögerungsgliedes.



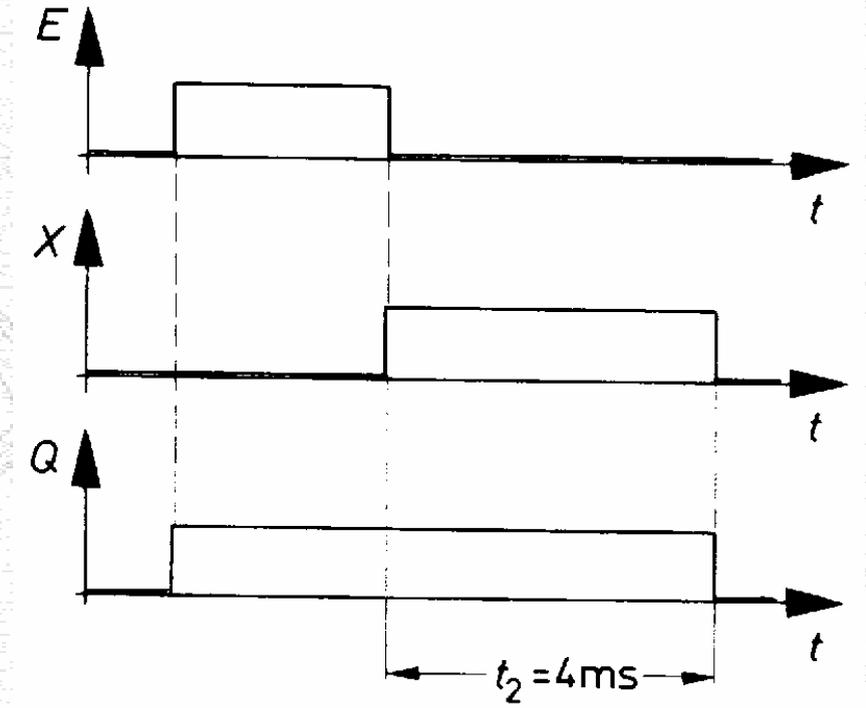
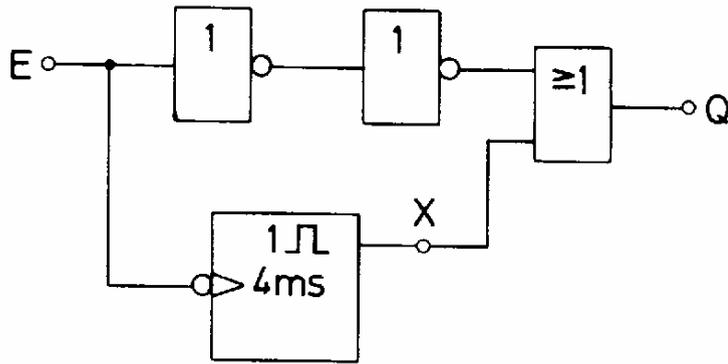
10.4 Verzögerungsglieder (I V)

- Aufbau eines Einschaltverzögerungsgliedes (modifiziert).



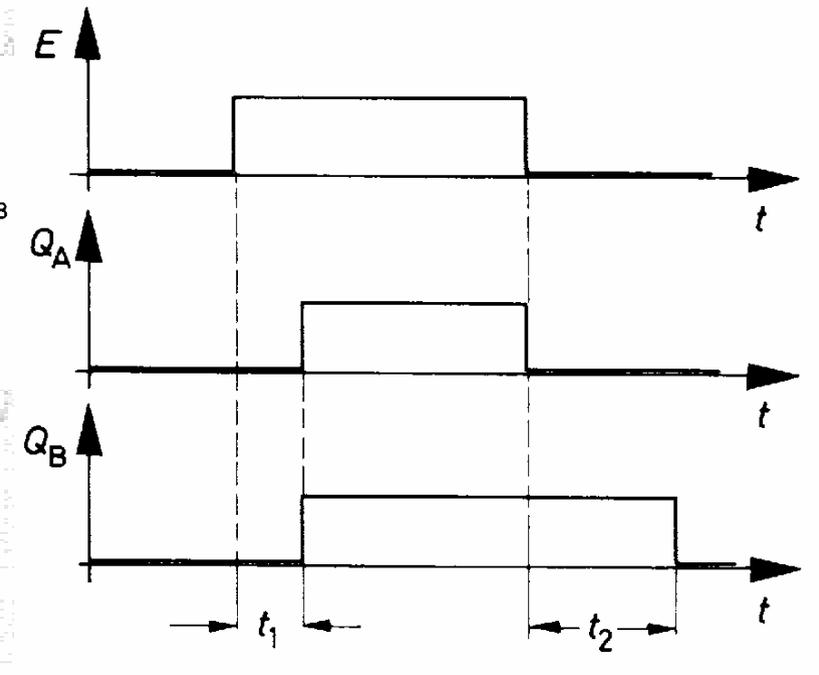
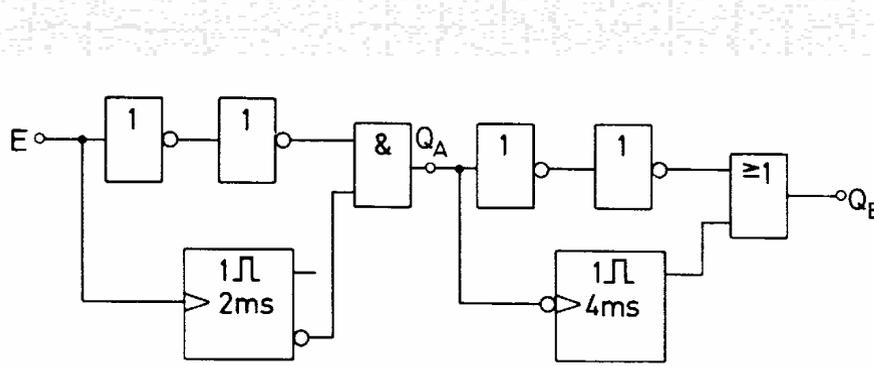
10.4 Verzögerungsglieder (V)

- Aufbau eines Ausschaltverzögerungsgliedes.



10.4 Verzögerungsglieder (VI)

- Aufbau eines Ein- und Ausschaltverzögerungsgliedes.



11 Anwendungsschaltungen

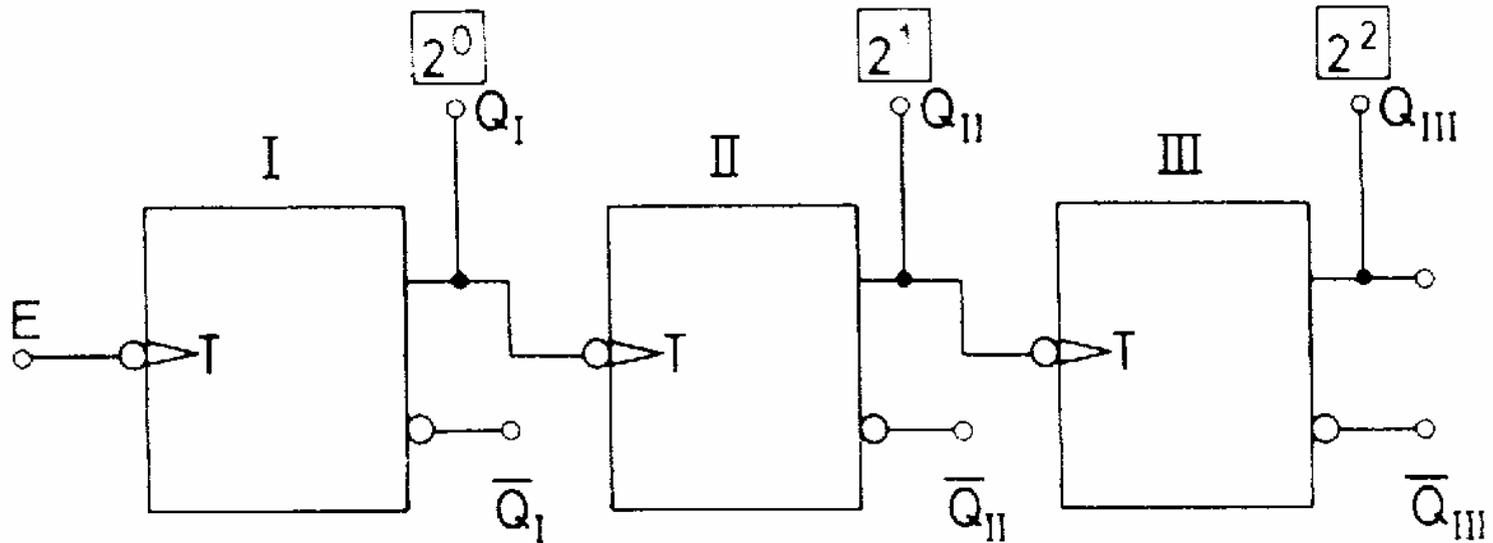
11 Anwendungsschaltungen

11.1 Zähler

11.2 Register

11.1 Zähler (i)

- **Asynchroner Dual-Vorwärtszähler mit T-Flip-flops.**



11.1 Zähler (ii)

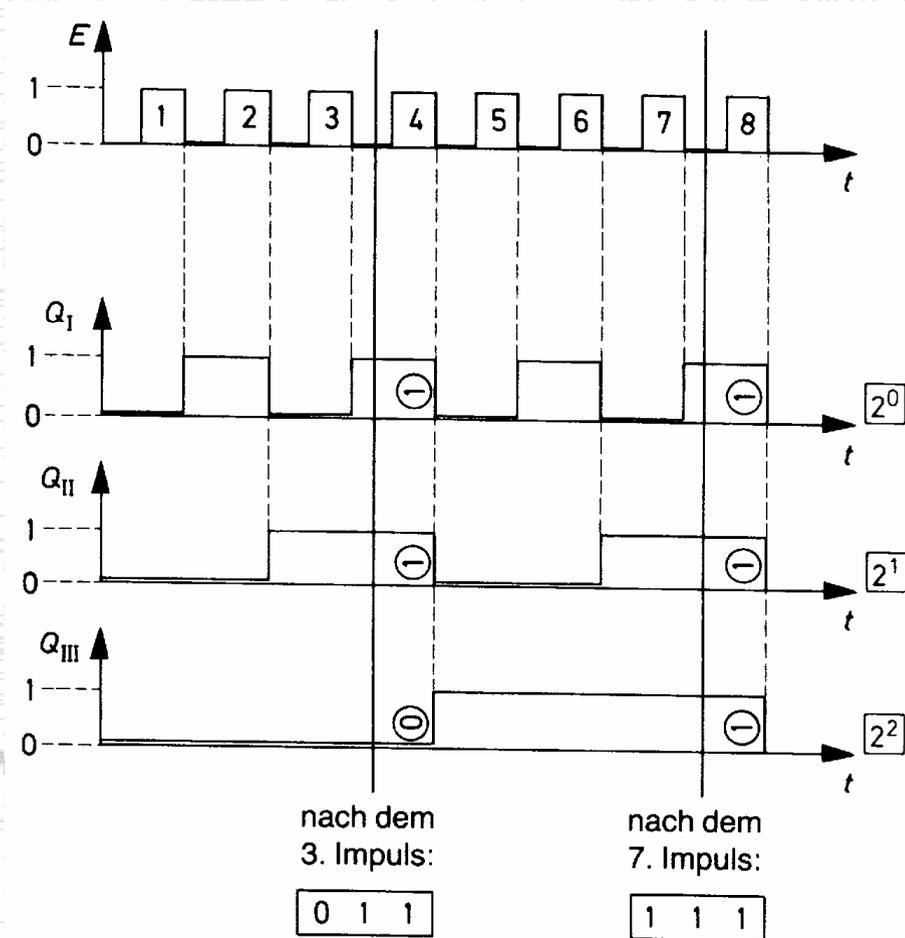


Bild 10.4 Zeitablaufdiagramm des Dualzählers Bild 10.3

11.1 Zähler (iii)

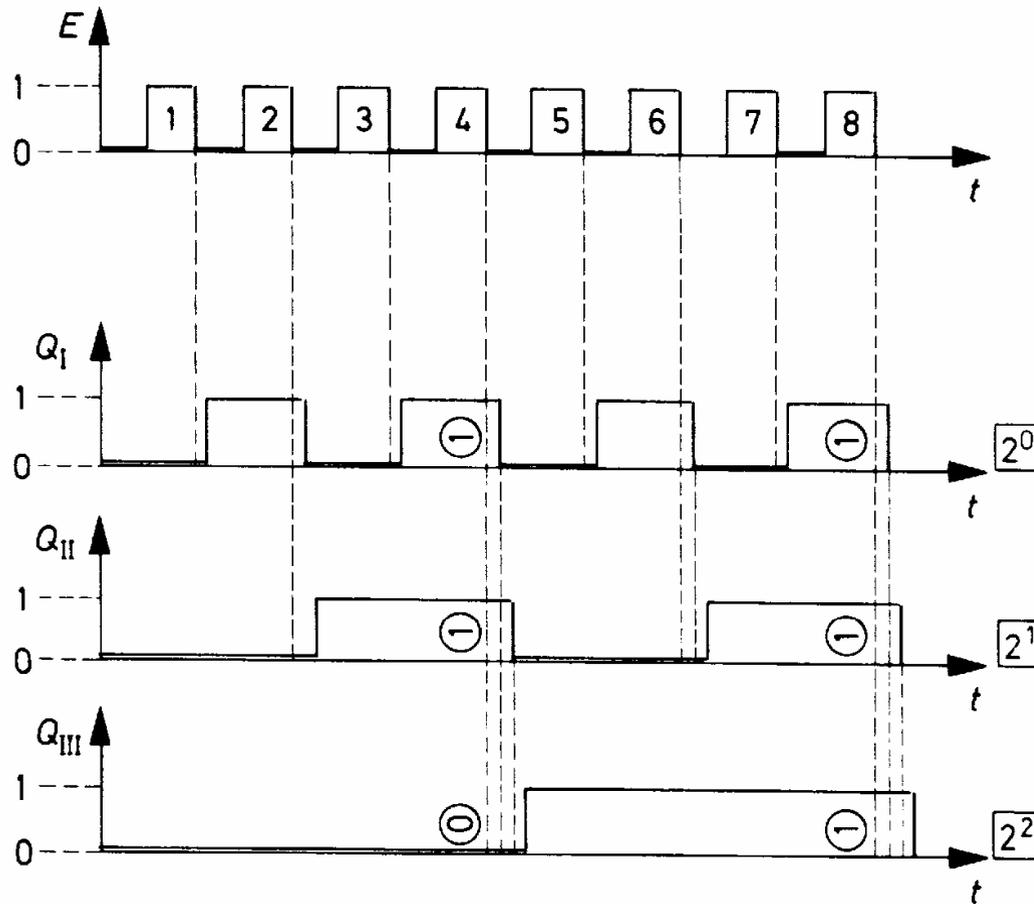


Bild 10.5 Zeitablauf-Diagramm mit Berücksichtigung der Signallaufzeit (Periodendauer des Eingangssignals 200 ns, Signallaufzeit 30 ns)

11.1 Zähler (IV)

■ Asynchroner Dual-Vorwärtszähler mit JK-Master-Slave.

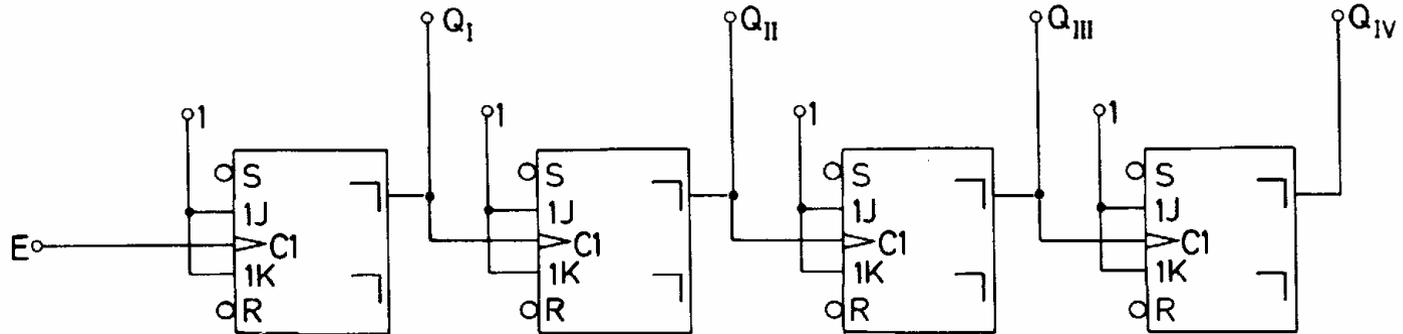
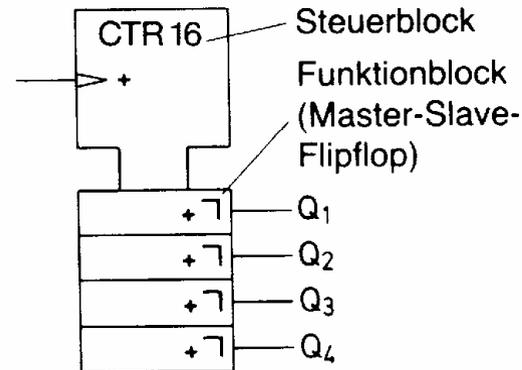


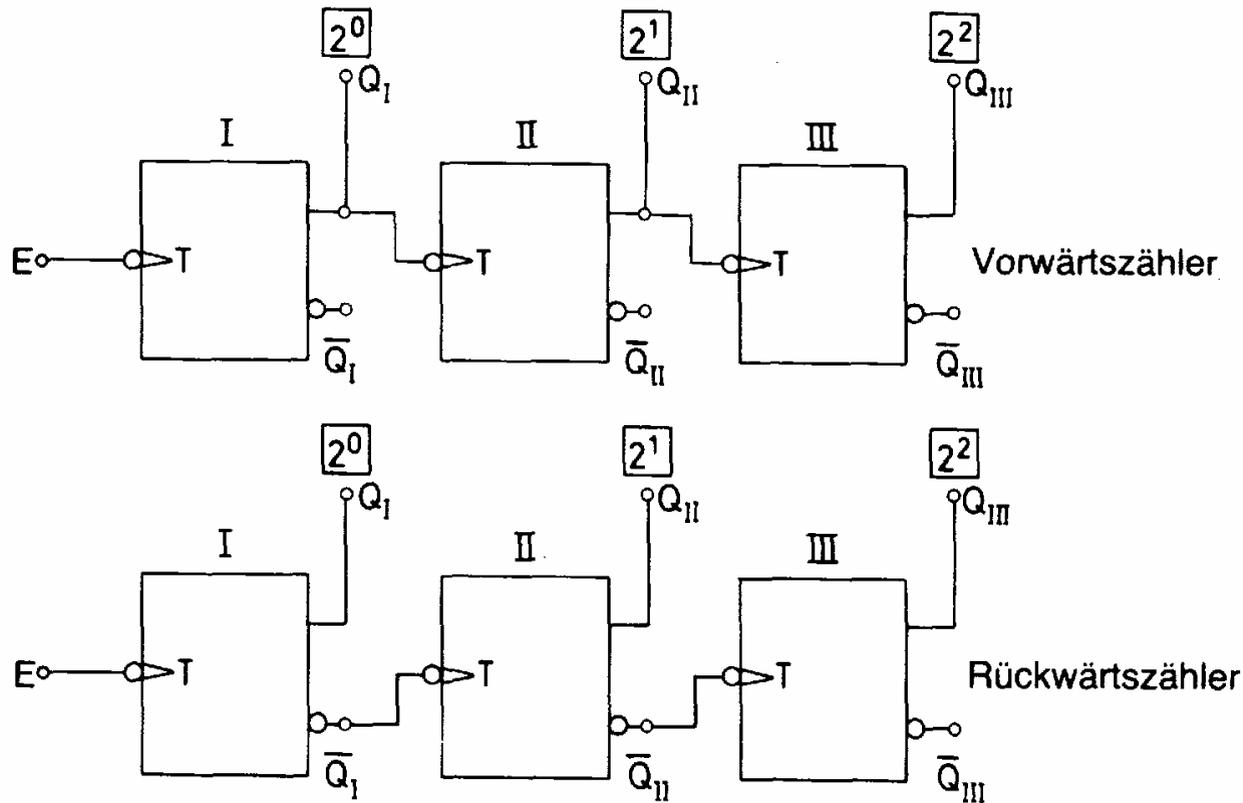
Bild 10.7 4-Bit-Dual-Vorwärtszähler, aufgebaut mit JK-Master-Slave-Flipflops

Bild 10.8 Gesamtschaltzeichen nach DIN 40900 Teil 12, eines 4-Bit-Dual-Vorwärtszählers, mit Master-Slave-Flipflops aufgebaut, CTR 16 bedeutet 16 Zählschritte. CTR steht für Counter, engl. Zähler.



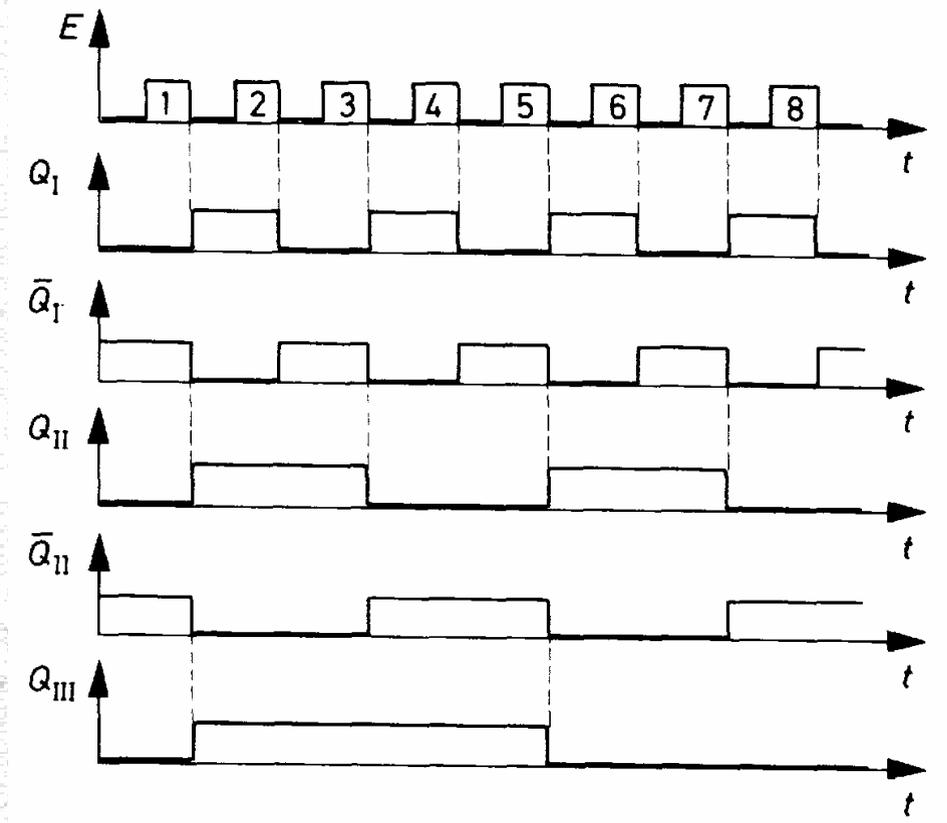
11.1 Zähler (V)

- **Asynchroner Dual-Vorwärtszähler und Rückwärtszähler.**



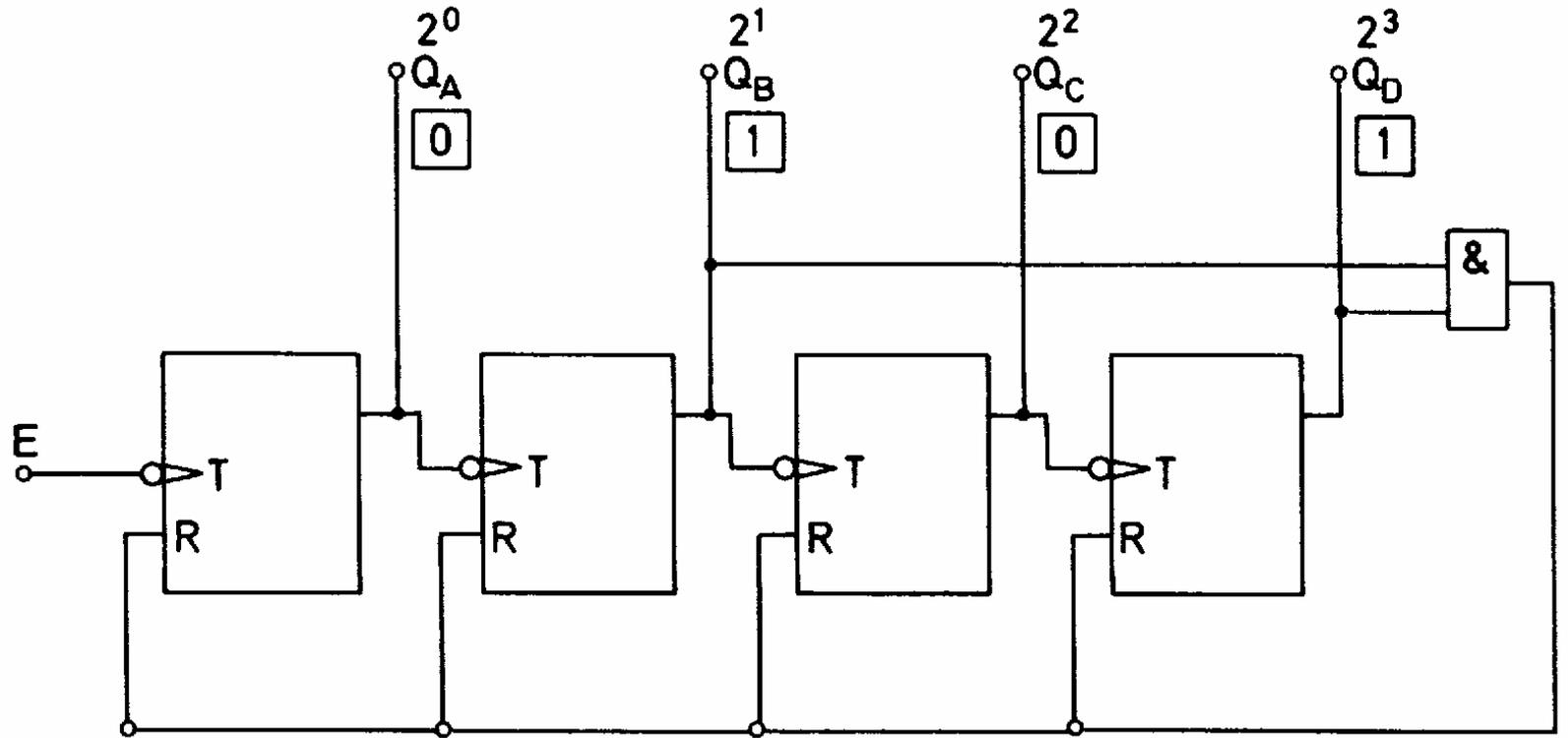
11.1 Zähler (VI)

- Zeitablaufdiagramm Asynchroner Dual-Rückwärtszähler.



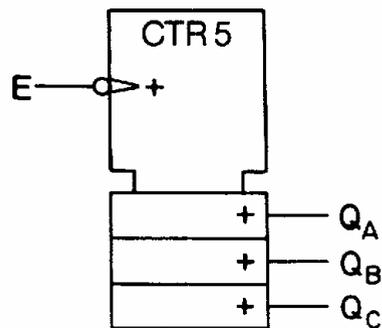
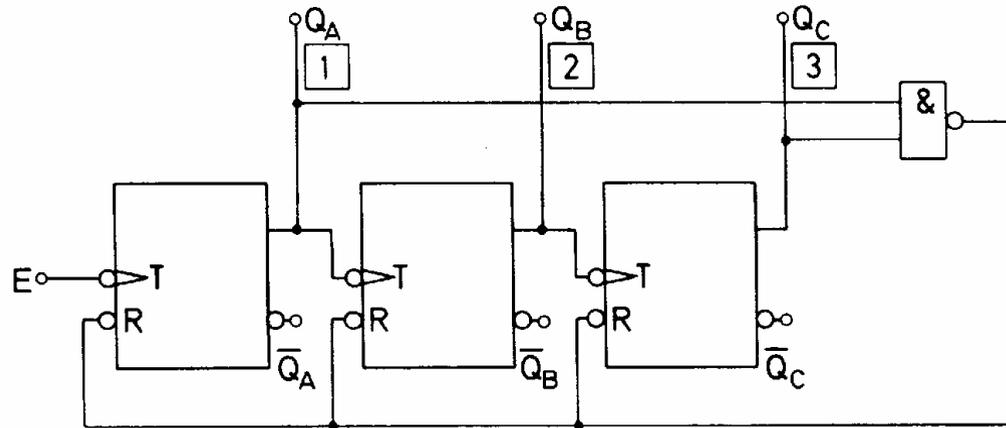
11.1 Zähler (VII)

■ Asynchroner BCD-Vorwärtszähler.



11.1 Zähler (VIII)

■ Modulo n- Zähler.



11.1 Zähler (IX)

■ Synchroner Dual-Vorwärtszähler.

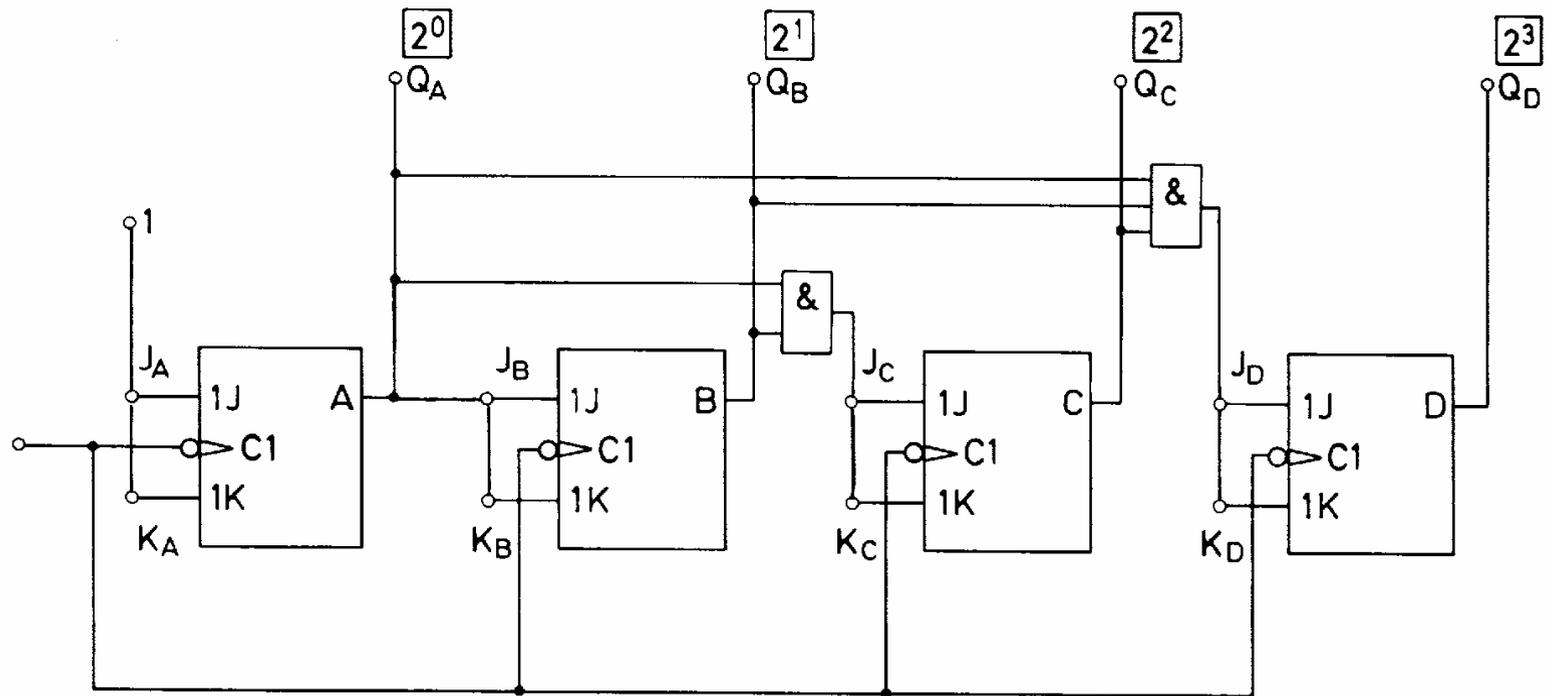
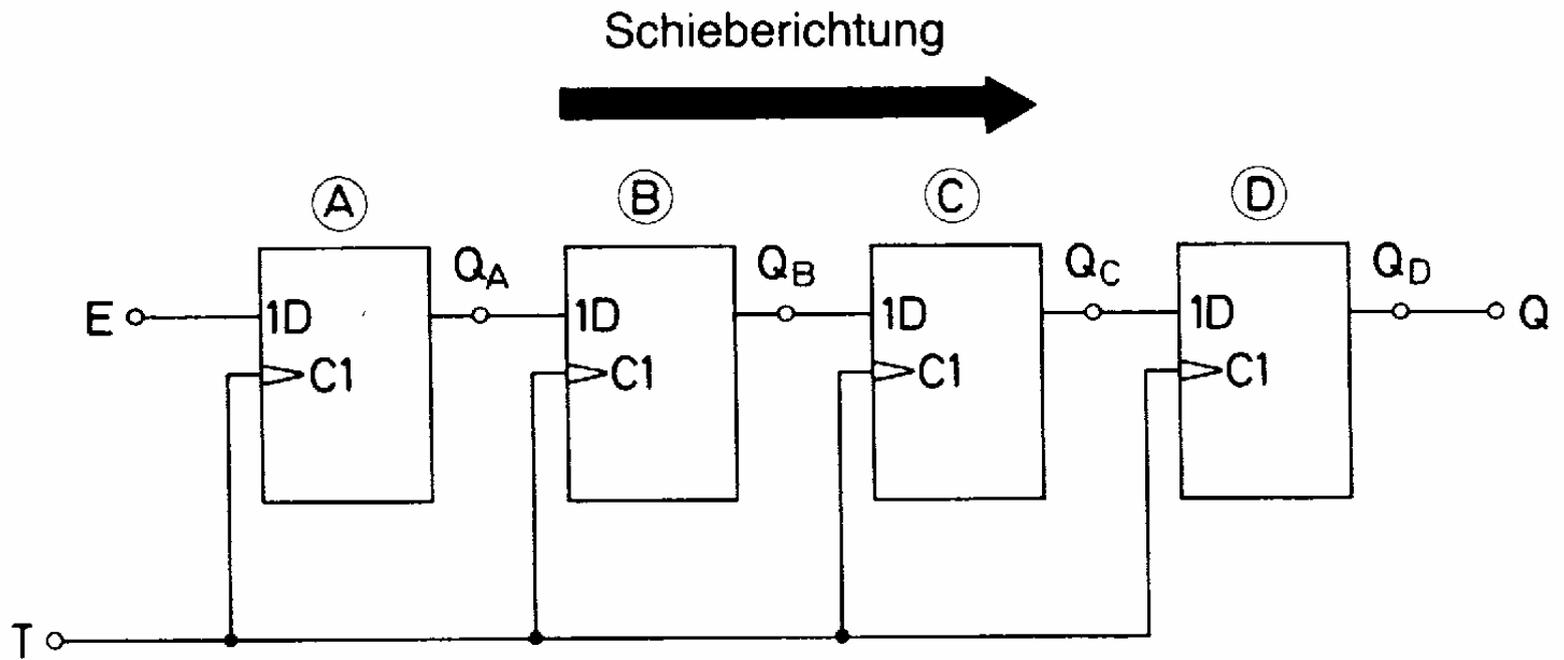


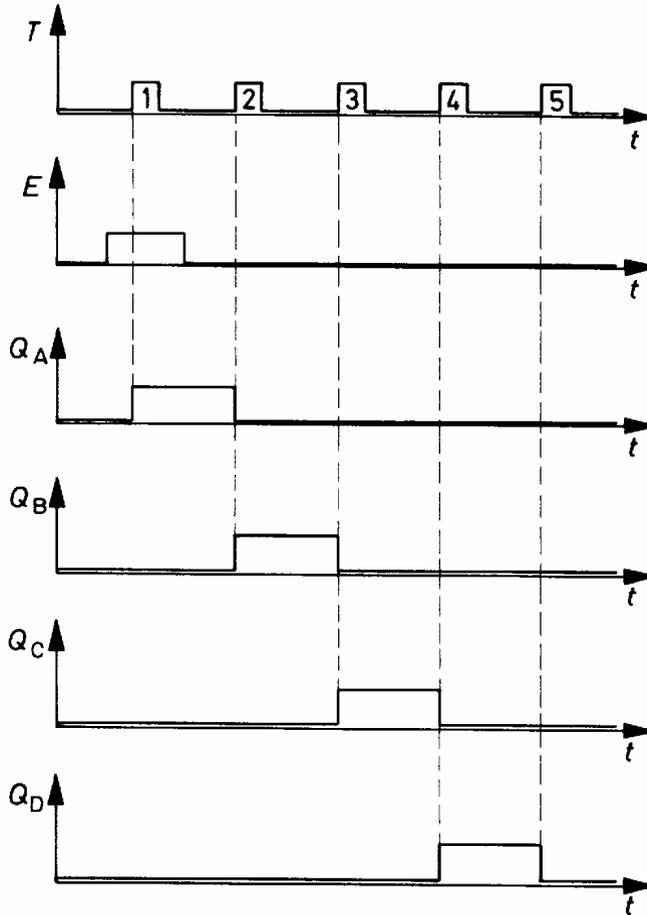
Bild 10.42 Aufbau eines synchron arbeitenden 4-Bit-Dual-Vorwärtszählers

11.2 Register (i)

■ Schieberegister mit D-Flipflops



11.2 Register (ii)



Takt Nr. n	Zustände nach Takt Nr. n				
	E	Q_A	Q_B	Q_C	$Q_D = Q$
	1	0	0	0	0
1	0	1	0	0	0
2	0	0	1	0	0
3	0	0	0	1	0
4	0	0	0	0	1
5	0	0	0	0	0

Bild 12.2 Funktionstabelle eines 4-Bit-Schieberegisters

◀ Bild 12.3 Zeitablaufdiagramm eines 4-Bit-Schieberegisters

11.2 Register (iii)

■ Ringregister mit JK-Flipflops

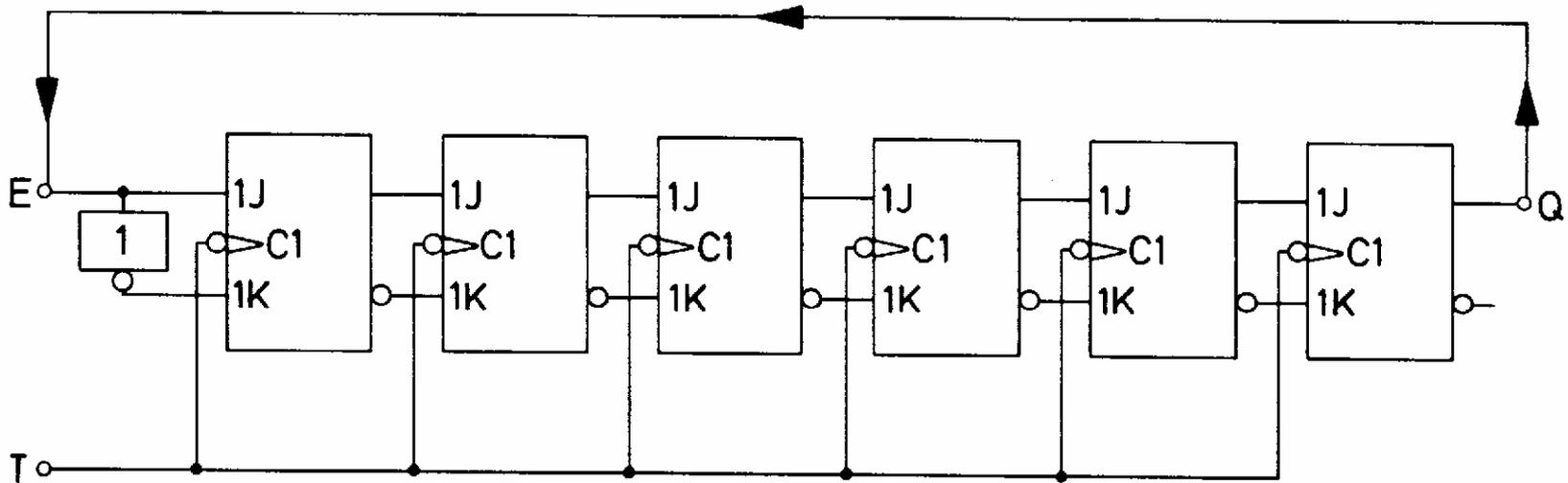


Bild 12.12 Prinzipieller Aufbau eines Ringregisters

to be continued...

